



(19)

(11) Publication number:

08179924 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 06320033

(51) Intl. Cl.: G06F 5/00 G11B 20/10

(22) Application date: 22.12.94

(30) Priority:

(43) Date of application
publication: 12.07.96

(84) Designated
contracting states:

(71) Applicant: CANON INC

(72) Inventor: HONMA YOSHIHIRO

(74) Representative:

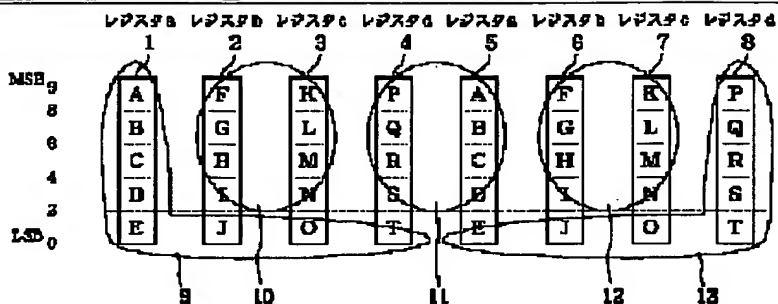
(54) DEVICE AND METHOD FOR DATA PROCESSING

(57) Abstract:

PURPOSE: To attain a simple circuit constitution and the simple operation control for the data processing and also to improve the data transfer efficiency by using (a-b/1) bits of the subsequent a-bit data to form the parts excluding (a) bits of the 1st b-bit data.

CONSTITUTION: The parts excluding (a) bits of the 1st b-bit data are formed by (a-b/1) bits of the subsequent a-bit data (a, b, 1: integers). If (a) and (b) are set at 10 bits and 16 bits respectively, the data 1 to 4 are successively stored in the registers (a) to (d) and the data 5 to 8 are successively stored in the subsequent registers (a) to (d) respectively. In regard of the output 16-bit data, the data 9 consists of all 10 bits of the register (a) and lower 2 bits of both registers (b) to (d) respectively, i.e., 16 bits in all. Then the data 10 consists of higher 8 bits of both registers (b) and (c), and the data 11 consist of higher 8 bits of both registers (d) and (a) respectively.

COPYRIGHT: (C)1996,JPO



10/16 変換時	1	2	3	4	5	6	7	8
入力(10ビット)	A B C D E	F G H I J	K L M N O	P Q R S T	A B C D E	F G H I J	K L M N O	P Q R S T
出力(16ビット)	-	-	-	9 A B C D E J O T	10 F G H I K L M N	11 P Q R S A B C D	12 F G H I K L M N	13 P Q R S T O J E

16/10 変換時	9	10	11	12	13	-	-	-
入力(16ビット)	A B C D E J O T	F G H I K L M N	P Q R S A B C D	F G H I K L M N	P Q R S T O J E	-	-	-
出力(10ビット)	1 A B C D E	2 F G H I J	3 K L M N O	4 P Q R S T	5 A B C D E	6 F G H I J	7 K L M N O	8 P Q R S T

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-179924

(43) 公開日 平成8年(1996)7月12日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 F 5/00

E

G 1 1 B 20/10

3 4 1 B 9463-5D

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号 特願平6-320033

(22) 出願日 平成6年(1994)12月22日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 本間 義浩

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

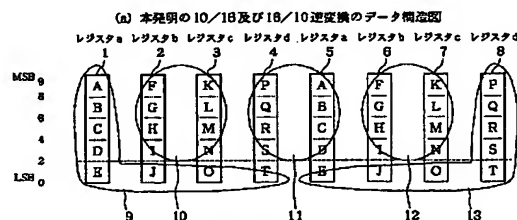
(74) 代理人 弁理士 丸島 儀一

(54) 【発明の名称】 データ処理装置及び方法

(57) 【要約】

【目的】 簡単な回路構成・動作制御を可能とし、また、データの転送効率のよい装置を提供する。

【構成】 データ処理装置は、aビット単位で入力するデータをbビット単位で出力する装置であって、第1の前記aビットデータすべてを含むべく第1の前記bビットデータを形成すると共に、前記第1のaビットデータに後続する前記aビットデータのうちの、1個のaビットデータそれぞれからb/1ビットづつ用いて前記第1のbビットデータに後続するbビットデータを形成する変換手段を備え、前記第1のbビットデータの前記aビット以外の部分を前記後続のaビットデータにおけるa-b/1ビットから構成するように構成されている。



(b) 10/18変換でのデータ入出力

10/18変換時	1	2	3	4	5	6	7	8
入力(10ビット)	A B C D E	F G H I J	K L M N O	P Q R S T	A B C D E	F G H I J	K L M N O	P Q R S T
出力(18ビット)	-	-	-	B A B C D E F G H I J K L M N O P Q R S T	10	11	12	13

(c) 18/10変換でのデータ入出力

18/10変換時	9	10	11	12	13	-	-	-
入力(18ビット)	A B C D E F G H I J K L M N O P Q R S T	F G H I J K L M N O P Q R S T	P Q R S T A B C D E F G H I J K L M N O	P Q R S T A B C D E F G H I J K L M N O	P Q R S T A B C D E F G H I J K L M N O	-	-	-
出力(10ビット)	1	2	3	4	5	6	7	8

【特許請求の範囲】

【請求項1】 aビット単位で入力するデータをbビット単位 ($a < b$) で出力する装置において、第1の前記aビットデータすべてを含むべく第1の前記bビットデータを形成するとともに、前記第1のaビットデータに後続する前記aビットデータのうちの、1個のaビットデータそれぞれから b/l ビットずつ用いて前記第1のbビットデータに後続するbビットデータを形成する変換手段を備え、前記第1のbビットデータの前記aビット以外の部分を前記後続のaビットデータにおける $a - b/l$ ビットから構成する (a, b, l はそれぞれ整数) ことを特徴とするデータ処理装置。

【請求項2】 前記変換手段はn個の前記aビットデータをm個の前記bビットデータに変換する (n, m は整数であり、 $a > n$) ことを特徴とする請求項1に記載のデータ処理装置。

【請求項3】 前記変換手段はm個の前記bビットデータを形成するに際し、前記 $n - 2$ 個のaビットデータそれぞれの b/l ビットを用いて $m - 2$ 個の前記bビットデータを形成すると共に、前記第1のaビットデータすべてと第nの前記aビットデータすべて及び前記第1及び第nのaビットデータを除く $n - 2$ 個のaビットデータそれぞれの前記 $a - b/l$ ビットから2個の前記bビットデータを形成することを特徴とする請求項2に記載のデータ処理装置。

【請求項4】 前記aは5の倍数であり、前記bは8の倍数であることを特徴とする請求項1または2に記載のデータ処理装置。

【請求項5】 前記a及びbは8の倍数であることを特徴とする請求項1または2に記載のデータ処理装置。

【請求項6】 前記aビットデータは画像データであることを特徴とする請求項1に記載のデータ処理装置。

【請求項7】 前記変換手段から出力される前記第1のbビットデータ中のaビットを用いて前記第1のaビットを形成すると共に、前記後続するbビットデータ中の b/l ビットと、前記第1のbビットデータ中の $b - a$ ビットから前記後続するaビットデータを形成する逆変換手段を備えることを特徴とする請求項1に記載のデータ処理装置。

【請求項8】 aビット単位で入力するデータをbビット単位 ($a < b$) で出力するに際し、第1の前記aビットデータすべてを含むべく第1の前記bビットデータを形成するとともに、前記第1のaビットデータに後続する前記aビットデータのうちの、1個のaビットデータそれぞれから b/l ビットずつ用いて前記第1のbビットデータに後続するbビットデータを形成するようにし、前記第1のbビットデータの前記aビット以外の部分を前記後続のaビットデータにおける $a - b/l$ ビットから

ら構成する (a, b, l はそれぞれ整数) ことを特徴とするデータ処理方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、データ処理装置に関し、特に、複数ビットからなるデータの処理単位を変換する装置に関するものである。

【0002】

【従来の技術】 従来より、複数ビット幅のバスやメモリを有する装置が知られている。

【0003】 このような装置のうち、16ビット幅のバスやメモリ等を持つシステムでは、A/D変換器等から16ビット幅以外のデータが出力された場合、そのまま処理するよりも16ビットごとのデータ幅に変換する方がDMA等の転送効率が向上し、処理能力が増す。また、メモリの使用効率も向上する。

【0004】 従って、例えば10ビット幅のデータが入力される場合では、10ビット幅のデータを16ビット幅のデータに変換するための10/16変換回路や、その逆変換である16/10変換回路が使用される。以下、このような回路について説明する。

【0005】 図6に従来のこの種の変換回路の動作概念図を示す。

【0006】 この従来例では、まず、A/D変換回路等からの10ビット幅のデータを8ワード単位で16ビット幅のデータ5ワードを構成するように変換する。この10/16変換では、入力される10ビットデータを上位ビットから順に16ビットずつブロック化して16ビットデータへ変換している。

【0007】 そして、この逆変換である16/10変換も同様に、入力される16ビット幅のデータを上位ビットから順に10ビットずつブロック化して10ビットデータへ変換している。

【0008】 このような変換回路の場合、変換に使用するレジスタは、図6(a)に示したAからTまで(各2ビット単位)の計40ビットのレジスタを必要とする。

【0009】 このような回路において8ビット幅のデータを入力して16ビット幅のデータを形成し、この16ビット幅のデータを同様の構成にて8ビット幅のデータに変換しようとした場合、再び逆変換の回路を通す必要があり、容易に変換することができない。

【0010】 これに対し、図7に示した他の従来例では、入力される10ビット幅のデータのうち、上位8ビットと下位2ビットとを分けて16ビット幅のデータを構成するようにしている。

【0011】 従って、8ビット幅のデータが入力された場合には16ビット幅のデータの上位と下位の8ビットに分けるだけで8ビット幅のデータをを得ることができ、容易に変換を行うことが可能になる。

【0012】 以下、図7に示した従来例について説明す

る。

【0013】入力される10ビット幅のデータは入力される順に図7(a)の1から8に示すレジスタに保持され、この8ワードのデータを9から13で示した16ビット幅の5ワードのデータに変換する。

【0014】図7(b)は10/16変換時のデータの入出力を示す。

【0015】図7(b)に示したように、第1～第5のデータ1～5はそれぞれレジスタa～eのA～Yに順次入力される。

【0016】そして、第6のデータ6は16ビット幅のデータの9が出力されて空になったレジスタaのA～Dに入力される。同様に第7のデータ7は9と10が出力されて空になったレジスタbのF～Jに入力される。最後に第8のデータ8は10が出力されて空になったレジスタcのK～Oに入力される。

【0017】一方、16ビット幅のデータの出力は、第2のデータ2が入力されたときに9としてレジスタaとbのABCDEFGHIを出力し、第4のデータ4が入力されたときに10としてレジスタcとdのKLMNPQR Sを出力し、第5のデータ5が入力されたときに11としてレジスタeとdとcとbとaのUVWXT O Jを出力する。そして第7のデータ7が入力されたときに12としてレジスタaとbのABCDEFGHIを出力し、最後のデータ8が入力されたときに13としてレジスタcとbとaとeのKLMNO J EYを出力する。

【0018】続いて、図7(c)に示した16/10逆変換時の動作について説明する。

【0019】図7(c)に示したように、まず、9と10と11の16ビット幅のデータが順に入力される。10ビット幅のデータの出力は、11のデータが入力されて初めてレジスタaがいっぱいになるのでこの時点でA～Eの10ビット幅のデータが1として出力される。

【0020】次にレジスタbのF～Jの10ビットを出力してから、空になったレジスタaとbに12のデータが入力され、同時にレジスタcの10ビットが3として出力される。そして次に空になったレジスタcとbとaとeのKLMNO J EYに13のデータが入力され、同時にレジスタdの10ビットが出力される。最後に、レジスタe・a・b・cの順に5・6・7・8の10ビット幅データが出力される。

【0021】

【発明が解決しようとしている課題】図6に示した従来例の場合、10/16変換は入力される10ビットデータを上位ビットから順に16ビットずつブロック化して16ビットデータへ変換している。

【0022】そしてその逆変換である16/10変換も、同様に入力される16ビットデータを上位ビットから順に10ビットずつブロック化して10ビットデータへ変換している。

【0023】このため、例えば8ビット幅のデータを入力して8/16変換を行った場合、この回路で変換した16ビット幅のデータは前述のように容易に8ビット幅のデータに変換することができない。

【0024】また、図7に示した従来例では、8ビット幅のデータが入力された場合には16ビットのデータを上位と下位の8ビットづつに分けるだけで8ビット幅のデータを得ることができ、データ処理が容易に行えるようになる。

10 【0025】しかしながら、この場合には、前述のように変換回路の制御が複雑になって回路規模が大型化してしまう。また、データの転送もデータが飛び飛びに存在しているので無駄が生じ、転送効率が低いという問題もある。

【0026】前記課題を考慮して、本発明は、簡単な回路構成・動作制御を可能とし、また、データの転送効率のよい装置を提供することを目的とする。

【0027】

【課題を解決するための手段】従来抱えている課題を解決し、前記目的を達成するため、本発明は、aビット単位で入力するデータをbビット単位(a<b)で出力する装置において、第1の前記aビットデータすべてを含むべく第1の前記bビットデータを形成するとともに、前記第1のaビットデータに後続する前記aビットデータのうちの、1個のaビットデータそれぞれからb/1ビットづつ用いて前記第1のbビットデータに後続するbビットデータを形成する変換手段を備え、前記第1のbビットデータの前記aビット以外の部分を前記後続のaビットデータにおけるa-b/1ビットから構成する(a, b, 1はそれぞれ整数)ように構成されている。

【0028】

【実施例】以下、本発明の実施例を図面を用いて詳細に説明する。

【0029】まず、図1を用いて本実施例の動作について説明する。

【0030】図1は本実施例における10ビットから16ビットへの変換と16ビットから10ビットへの変換の概念図である。

【0031】この10/16変換を施すことにより、10ビット幅のデータの8ワード分か16ビット幅のデータの5ワード分へと変換される。そして、10ビットデータを8回転送する処を16ビットデータで5回転送するだけでよいので、データの転送効率を向上することができる。更に、16ビット幅のデータ単位で処理を行うメモリであれば、その容量が8分の5になり、メモリの使用効率を向上することができる。

【0032】以下、図1を用いて本実施例の10/16変換及び16/10変換について説明する。

50 【0033】図1において1～8で示した長方形は、順次入力される10ビット幅のデータの構成を示してい

る。また、図1の9～13の楕円部分は16ビット幅のデータの構成を示している。

【0034】なお、詳しくは後述するが、ハード構成的には図中のレジスタa～dの同一の4つの10ビットレジスタを用い、各レジスタにデータを入力する構成になる。

【0035】すなわち、データ1～4がレジスタa～dに順次記憶され、その後再びデータ5～8がレジスタa～dに記憶される。

【0036】また、出力の16ビットデータとしては、データ9はレジスタaの10ビットすべてとレジスタb・c・dそれぞれの下位2ビットずつの合計16ビットで構成される。またデータ10はレジスタbの上位8ビットとレジスタcの上位8ビットで構成される。データ11はレジスタdの上位8ビットとレジスタaの上位8ビットで構成される。データ12はデータ10と同様にレジスタbの上位8ビットとレジスタcの上位8ビットで構成される。更にデータ13は、レジスタdの10ビットすべてとレジスタc・b・aのそれぞれの下位2ビットずつの合計16ビットで構成される。

【0037】この10/16変換時には、10ビット幅のデータが順に入力されると、第1のデータ1はレジスタaに、第2のデータ2はレジスタbに、第3のデータ3はレジスタcに、第4のデータ4はレジスタdにそれぞれ保持される。

【0038】そして、後述するようにレジスタaのデータは第4のデータが入力されると同時に空くので、第5のデータが再びレジスタaに入力される。同様にレジスタbのデータが出力されると再び第6のデータが入力され、第7のデータはレジスタcに、そして第8のデータはレジスタdにそれぞれ入力される。

【0039】このように、本実施例では10ビット幅のレジスタを4つ持ち、データを入力するレジスタを順次切り換えながら10ビットの入力データを8ワード単位で繰り返し処理する。

【0040】次に、このように変換され16ビット幅データで構成される図1(a)のデータ9～13は、図1(b)で示すタイミングで順次出力されていく。

【0041】すなわち、まず第1～第3の10ビットデータが入力される時には16ビットデータは出力されない。そして第4の10ビットデータが入力されるときに9の16ビットデータが出力され、以降10, 11, 12, 13の16ビットデータが順次出力される。

【0042】次に、このような16ビットデータの構成について図1のA～Tを用いて更に詳しく説明する。

【0043】A～Tはそれぞれ2ビット幅のデータレジスタを示している。

【0044】レジスタaはA～Eの10ビットレジスタで構成される。そして、このときA入力データのMSBを保持し、B, C, D, Eと順にLSBのデータを保持

することになる。以下、各レジスタb～dのF, K, Pがそれぞれ入力データのMSBを保持し、J, O, TがそれぞれLSBを保持する。

【0045】図1(b)に10/16変換時の10ビット・16ビットの各データの入出力のタイミングを示す。

【0046】10/16変換時には、前述のように第4のデータが入力されて、9の16ビットデータが出力される。このとき図に示すように9のデータ構成はMSBからABCDEJOTとなる。続いて第5のデータが入力されて、10のデータが出力される。データ10の構成はFGHIKLMNとなる。次に第6のデータが入力されてPQRSABCDの構成のデータ11が出力され、第7のデータが入力されてFGHIKLMNの構成のデータ12が出力され、最後に第8のデータが入力されてPQRSTOJEの構成のデータ13が出力される。

【0047】16/10変換時にはこのような10/16変換と逆の転送を行う。

【0048】つまり、第1の入力データとして9の16ビットデータが入力される。この9のデータは上位ビットからレジスタaのABCDEとレジスタbの下位ビットJとレジスタcの下位ビットOとレジスタdの下位ビットTに入力される。そして、このときレジスタaのABCDEを10ビットのデータとして出力する。

【0049】次に、第2の入力データとして10の16ビットデータが入力され10のデータは上位ビットからレジスタbのFGHIとレジスタcのKLMNに入力され、データの満ちたレジスタbのFGHIJが10ビットデータとして出力される。

【0050】続いて第3の入力データとして11の16ビットデータが入力される。この11のデータは上位ビットからレジスタdのPQRSと、空になっているレジスタaのABCDEに入力され、データの満ちているレジスタcのKLMNOが10ビットデータとして出力される。

【0051】次に第4のデータとして12の16ビットデータが入力される。この12のデータは上位ビットからレジスタbのFGHIとレジスタcのKLMNに入力され、データの満ちているレジスタdのPQRSTが10ビットデータとして出力される。

【0052】続いて第5の入力データとして13の16ビットデータが入力される。この13のデータは上位ビットからレジスタdのPQRSTとレジスタcのOとレジスタbのJとレジスタaのEに入力され、データの満ちたレジスタaのABCDEが10ビットデータとして出力される。

【0053】そして、以下16ビットのデータは入力されずに、すでに各レジスタに入力されているデータを10ビットずつ3回出力し、残りの10ビットデータとし

てそれぞれレジスタb, c, dのデータを出力する。

【0054】次に、本実施例において8ビットのデータが入力された場合について説明する。

【0055】8ビットのデータが入力される場合には、各10ビット幅のレジスタa~dの下位2ビットは使用しない。この動作を図1を用いて説明する。

【0056】第1の8ビットデータはレジスタaのABCDに入力される。以下、第2~4の入力8ビットデータがレジスタb~dのFGHI, KLMN及びPQRSに入力される。

【0057】そして、前述のようにレジスタaのデータは第4の8ビットデータが入力すると同時に出力され、レジスタaが空になるので、第5の8ビットデータが入力されるときには再びこのレジスタaに入力される。

【0058】以下同様にレジスタb~dには第6~第8の8ビットデータが記憶される。

【0059】このように、本実施例では8ビット幅のデータが入力されても10ビット幅のときと同様にレジスタを4つ持ち、順次切り換えながら8ビットの入力データを8ワード単位で繰り返し処理する。

【0060】このように各レジスタに記憶された8ビットデータを16ビットデータに変換して出力する様子について説明する。

【0061】前述のように、8/16変換時には第4の8ビットデータが入力されたとき、9の16ビットデータが出力される。このとき図1(b)に示すように9のデータ構成はMSBからABCDEJOTとなり、特にこの下位8ビットのEJOTは“00h”となる。

【0062】続いて第5の8ビットデータが入力されて、10の16ビットデータが出力される。この10のデータ構成はFGHIKLMNとなる。

【0063】同様に第6の8ビットデータが入力されPQRSABCDの構成の11のデータが出力され、第7の8ビットデータが入力されFGHIKLMNの構成のデータが出力され、更に、第8の8ビットデータが入力されPQRSTOJEの構成の13のデータが出力される。このとき、13のデータの下位ビットTOJEは9のデータと同様に“00h”となる。

【0064】つまり、本実施例では9と13のデータの下位8ビットが“00h”になる以外は10/16変換の動作と同様である。

【0065】このように形成された16ビットデータを8ビットのデータに変換する場合には図1(c)に示すようなデータ変換を行わず、16ビットデータの上位と下位の8ビットに切り分けるだけでよい。従って逆変換の回路は必要ない。

【0066】次に、本発明の実施例として、このようなデータの変換を行う回路を含む撮像装置の具体的な構成について説明する。

【0067】図2は本発明の実施例としてのビデオカメ

ラ等の撮像装置の構成を示すブロック図である。

【0068】図2において、レンズやアイリス等を含む光学系101を介した被写体光はCCD102により電気信号に変換されてA/D変換回路103に出力される。ここで、CCD102はコンピュータでの処理を考慮して、TV方式用のセンサだけでなく正方画素を用いてもよい。

【0069】A/D変換回路103はCCDからの出力画像信号を10ビットのデジタル信号に変換して、デジタル信号処理回路105及びビューファインダ110に出力する。ビューファインダ110はA/D変換回路103からの画像データもしくはD/A変換回路106からの画像データに応じた画像を表示する。

【0070】デジタル信号処理回路105は入力されたデジタル画像信号をメモリ107に書き込み、このメモリ107の画像信号に対してホワイトバランス・AE補正・ガンマ処理・画像圧縮・NR等の処理を施して記録部108に出力する。

【0071】この記録部108としては周知のVTRやハードディスク等の構成をとることが可能である。

【0072】前述のデータ変換回路はこのデジタル信号処理回路105に含まれる。

【0073】MPU104は図2に示した装置各部の動作を制御するための回路で、このMPU104に対してもバスがつながれており、このMPU104内部で画像データに対して演算処理を行うことも可能である。

【0074】また、デジタル信号処理回路105で処理された画像データを外部バスインターフェイス110を介してコンピュータ等の外部機器に対して出力することができる。また、同様に外部機器から画像データを入力することもできる。

【0075】また、デジタル信号処理回路105からの画像データはD/A変換回路106によりアナログ信号に変換され、ビューファインダ110及びビデオアウト部109に出力され、ビデオアウト部109から外部のVTR等の機器にアナログ画像信号として出力される。

【0076】次に、図2のデジタル信号処理回路105における前述の10/16変換回路及び16/10変換回路及びその周辺の構成及び動作について説明する。

【0077】図3は前述の変換回路及びその周辺の回路構成を示すブロック図である。

【0078】まず、A/D変換回路103からの10ビットのデータを16ビットのデータに変換する場合について説明する。

【0079】図3において、A/D変換回路103からの10ビットの画像データは、スイッチ202のb側端子を介してスイッチ203, 207に出力される。これら各スイッチ202, 203, 207及び後述の206はすべてMPU104により制御されている。そして、入力10ビットデータを16ビットデータに変換する場

合には各スイッチはb側端子に接続されるように制御される。

【0080】スイッチ203に出力された10ビットの画像データは10/16変換回路205に出力され、ここで前述のように8ワードずつ16ビットの画像データに変換される。そして、この16ビットデータはスイッチ206、207を介してFIFOメモリ208に出力され、ここで一時蓄積された後所定のクロックタイミングで端子209より後段の回路に出力される。

【0081】次に、外部機器もしくは記録部からの16ビットデータを10ビットデータに変換する場合について説明する。

【0082】この場合、各スイッチはa側端子に接続するように制御される。

【0083】端子210から入力した16ビットデータはスイッチ202、203を介して16/10変換回路204に出力され、ここで前述のように10ビットのデータに変換される。そして、スイッチ207、FIFO208を介して端子211より出力する。

【0084】また、A/D変換回路103もしくは外部機器からの画像データが8ビットである場合には前述の10ビットの場合と同様に各スイッチをa側に接続して、前述のように10/16変換回路205により8ビットデータを16ビットデータに変換して出力する。

【0085】次に、外部機器もしくは記録部からの16ビットデータを8ビットデータに変換する場合について説明する。

【0086】この場合にはスイッチ202、207をそれぞれa側に接続し、16/10変換回路204を使用しないようにする。すなわち、前述のように、本実施例では8ビットデータを16ビットデータに変換するときに前述のように変換しているため、逆変換時には16/10変換回路を使用せずに上位の8ビットと下位の8ビットを単純に分離するだけで8ビットデータが得られるものである。

【0087】更に、A/D変換回路、記録部及び外部機器等からの16ビットデータをそのまま出力したい場合にはスイッチ202を入力側に接続し、また、スイッチ207をa側に接続することにより実現できる。

【0088】次に、図3の10/16変換回路及び16/10変換回路の具体的な構成について説明する。

【0089】図4は10/16変換回路の具体的な構成を示す図である。

【0090】図4において、401は切り換え制御信号に応じてクロックをカウントするカウンタ、402はカウンタ401からの出力信号に応じて各レジスタの出力データを選択して出力するデータセクタ、また403はそれぞれ10個のD-フリップフロップを有するレジスタa~dからなるレジスタ部である。

【0091】図4において、入力部404から並列に入

力されたデータは、レジスタaから順次クロックに同期してレジスタb, c, dに送られる。

【0092】データセクタ402はカウンタ401の出力に応じてこれら各レジスタの出力データを選択し、前述のように16ビットずつデータを出力する。

【0093】なお、本実施例では、カウンタ401、データセクタ402及びレジスタ部403を10/16変換と16/10変換とで共用しているため、カウンタ401に対して10/16と16/10の切り換え制御信号を出力し、動作を制御している。

【0094】次に、図5を用いて16/10変換回路について説明する。

【0095】前述のように、本実施例では変換回路の一部を共用しているのでカウンタ401、データセクタ402及びレジスタ部403の構成は図4と同様である。図5において、405はデータ出力切り換え回路で、入力データを前述のように各レジスタに振り分けて出力する。

【0096】データセクタ402は16ビットデータを10ビットデータに変換するときには前述のようにデータをセレクトして10ビットずつ出力し、また、8ビットデータに変換するときには第1及び第5の16ビットデータの下の4ビットデータを出力しないように制御する。

【0097】以上説明したように、本実施例では10ビットから16ビット及びその逆の変換と、8ビットから16ビット及びその逆の変換とを共通の回路で実現するに際し、少ないレジスタ構成で行うことができる。

【0098】さらに、いずれの変換時においても16ビットデータを5ワード連続して入出力できるため、5ワード単位としてまとめて転送可能となり、転送時間の短縮及び転送効率の向上が可能になる。

【0099】更に、変換動作の制御も簡単になり、回路規模の大型化を防止することができる。

【0100】なお、前述の実施例では特に撮像装置を例にとって説明したが、これに限らず、aビット単位で入力するn個のデータをbビット単位でm個のデータとして出力するものであればこれに限るものではなく、適用可能である。

【0101】すなわち、図1(a)を参照した前述の実施例からも理解されるように、まず、最初に入力されるaビットデータのすべてを用いて第1のbビットデータを形成し、n-2個のaビットデータそれぞれをb/1ビットずつレジスタに記憶し、このn-2個のb/1ビットを用いてm-2個のbビットデータを形成する(ここで、a, b, n, m, 1は整数)。

【0102】更に、第nのaビットデータすべてを用いて第mのbビットデータを形成する。そして、第1のbビットデータの残りと第mのbビットデータの残りは、第1及び第nのaビットデータを除くn-2個のaビッ

トデータそれぞれの $a-b/1$ ビットを用いる。

【0103】ただし、ここでは入力のアビットデータを保持するレジスタの単位と数を注意する必要がある。例えば、 $a > n$ 等の条件も考えられる。

【0104】また、前述の実施例では a が 10 または 8 で b が 16 の場合について説明したが、これ以外にも変換可能な組み合わせ（例えば a が 5, 8 の倍数で b が 8 の倍数）は考えられ、そのすべてについて本発明を適用可能である。

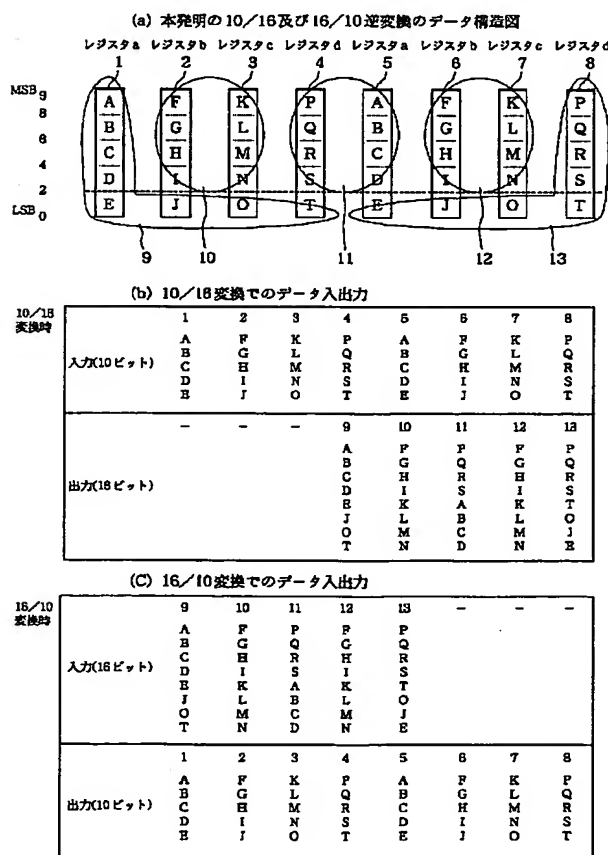
【0105】

【発明の効果】以上の説明から明らかなように、本発明によれば、 a ビット単位で入力するデータを b ビット単位で出力する際に、その変換処理を簡単にすることができ、回路規模の大型化を防止することが可能になる。

【0106】また、逆変換の際の処理も簡単になる。

【図面の簡単な説明】

【図1】



【図1】本発明の実施例の動作概念図である。

【図2】本発明の実施例としての撮像装置の構成を示すブロック図である。

【図3】図2における変換回路とその周辺の回路の構成を示すブロック図である。

【図4】図3に示した回路の詳細な構成を示すブロック図である。

【図5】図3に示した回路の詳細な構成を示すブロック図である。

10 【図6】従来の変換動作を説明するための図である。

【図7】従来の他の変換動作を説明するための図である。

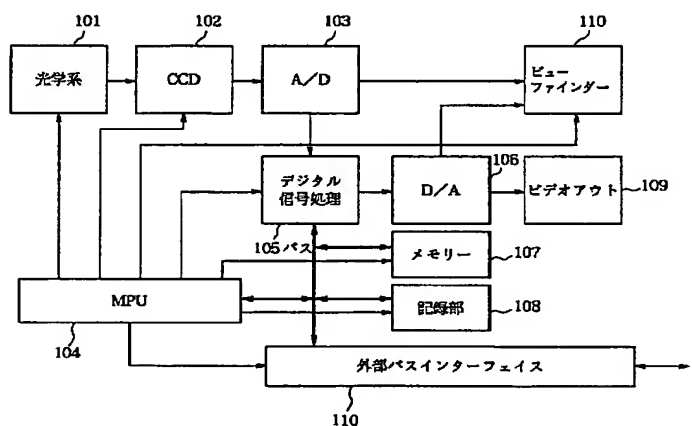
【符号の説明】

102 CCD

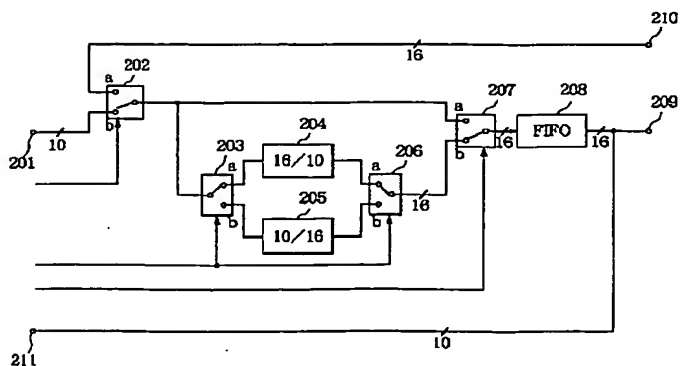
105 デジタル信号処理回路

110 外部バスインターフェイス

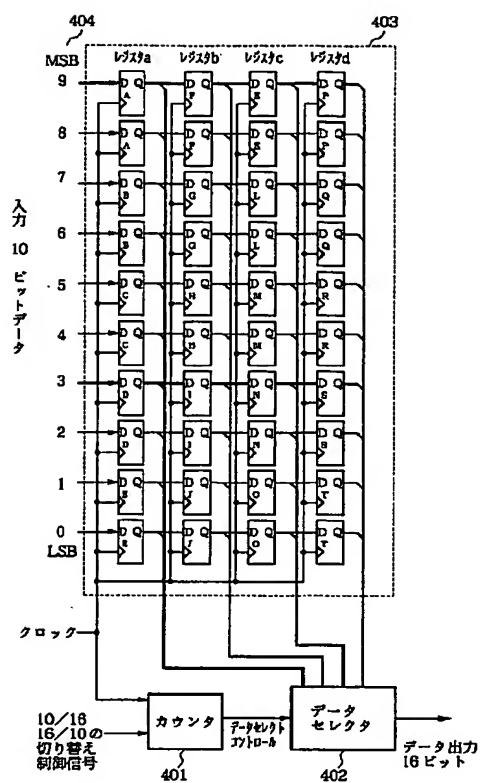
【図2】



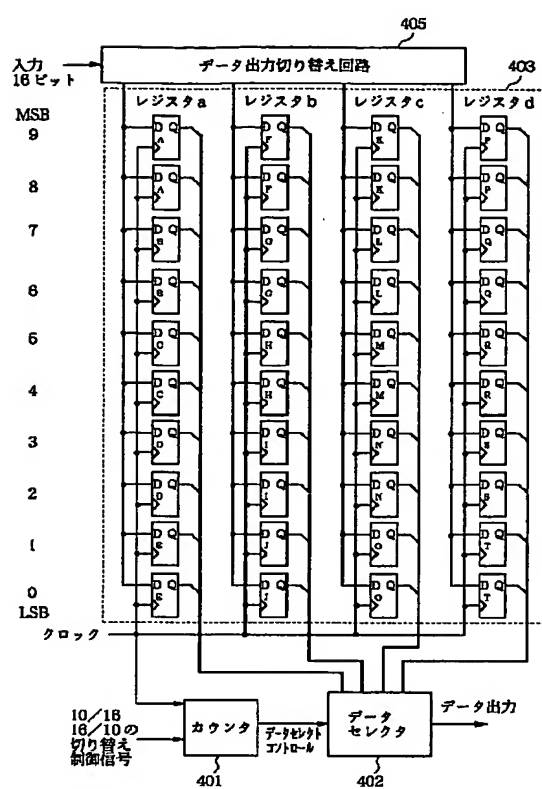
【図3】



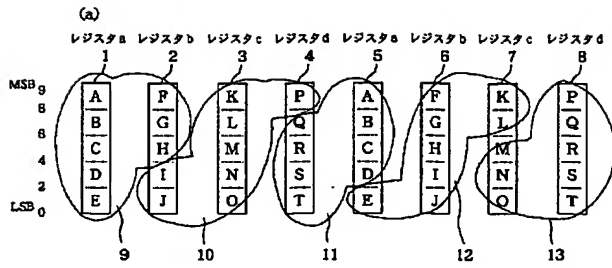
【図 4】



【図 5】



【図6】



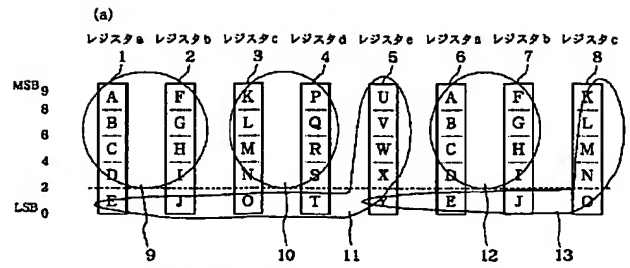
(b) 10/16変換時のデータ入出力

10/16変換時	1	2	3	4	5	6	7	8
入力(10ビット)	A B C D E	F G H I J	K L M N O	P Q R S T	A B C D E	F G H I J	K L M N O	P Q R S T
出力(18ビット)	-	9 A B C D E F G H	-	10 I J K L M N O P	11 Q R S T A B C D	-	12 E F G H I J K L	13 M N O P Q R S T

(c) 16/10のデータ入出力

16/10変換時	9	10	11	12	13	-	-	-
入力(16ビット)	A B C D E F G H	I J K L M N O P	Q R S T A B C D	E F G H I J K L	M N O P Q R S T	-	-	-
出力(10ビット)	1 A B C D E	2 F G H I J	3 K L M N O	4 P Q R S T	5 A B C D E	6 F G H I J	7 K L M N O	8 P Q R S T

【図7】



(b) 10/18変換時のデータ入出力

10/18変換時	1	2	3	4	5	6	7	8
入力(10ビット)	A B C D E	F G H I J	K L M N O	P Q R S T	U V W X Y	A B C D E	F G H I J	K L M N O
出力(18ビット)	-	9 A B C D E F G H I	-	10 K L M N P Q R S	11 U V W X T O J E	-	12 A B C D F G H I	13 K L M N O J E Y

(c) 18/10のデータ入出力

18/10変換時	9	10	11	-	12	13	-	-	-
入力(18ビット)	A B C D E F G H I	K L M N P Q R S	U V W X T O J E	-	A B C D F G H I	K L M N O J E Y	-	-	-
出力(10ビット)	-	-	1 A B C D E	2 F G H I J	3 K L M N O	4 P Q R S T	5 A B C D E	6 F G H I J	7 K L M N O